

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-097362

(43)Date of publication of application : 12.04.1996

(51)Int.Cl.

H01L 27/04
H01L 21/822

(21)Application number : 06-258692

(71)Applicant : NITTETSU SEMICONDUCTOR KK

(22)Date of filing : 28.09.1994

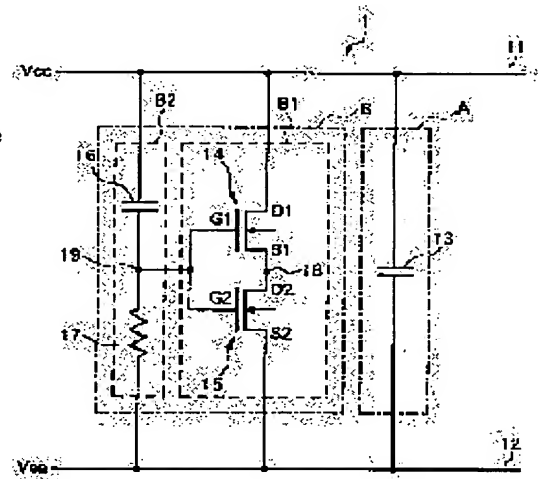
(72)Inventor : WADA TOSHIO
IWANAMI EIICHI

(54) POWER SUPPLY PROTECTION CIRCUIT OF SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To improve static electricity resistance of a power supply terminal of a semiconductor integrated circuit.

CONSTITUTION: A power supply protection circuit 1 comprises a first capacitor 13 connected in direct between a power supply voltage line 11 and a reference voltage line (grounding voltage line) 12, n-channel MOS transistors 14, 15 cascade-connected between the power supply voltage line 11 and reference voltage line 12 and a capacitor 16 and a resistor 17 (CR circuit) connected, in series between the power supply voltage line 11 and reference voltage line 12. When an abnormal high frequency voltage such as static electricity is applied to the power supply voltage line 11, a part thereof is discharged through the capacitor 13. The high frequency voltage not absorbed by the capacitor 13 is discharged to the reference voltage line 12 through each channel of the transistors 14 and 15 when the transistors 14, 15 turn ON with a turn-on voltage supplied thereto from a turn-on voltage supply circuit B2 (CR circuit) consisting of the capacitor 16 and resistor 17.



LEGAL STATUS

[Date of request for examination] 16.12.1996

[Date of sending the examiner's decision of rejection] 17.05.2000

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

(11)特許出願公開番号

特開平8-97362

(43)公開日 平成8年(1996)4月12日

技術表示箇所

H O 1 L 27/04

21/822

H01L 27/04

H

審査請求 未請求 請求項の数 5 FD (全 7 頁)

(21)出願番号 特願平6-258692

(22)出願日 平成6年(1994)9月28日

(71)出題人 000128049

日鉄セミコンダクター株式会社

千葉県館山市山本1580番地

(72)発明者 和田 俊男

千葉県館山市山本1580番地 日鉄セミコン
ダクター株式会社内

(72) 発明者 岩浪 栄一

千葉県館山市山本1580番地 日鉄セミコン
ダクター株式会社内

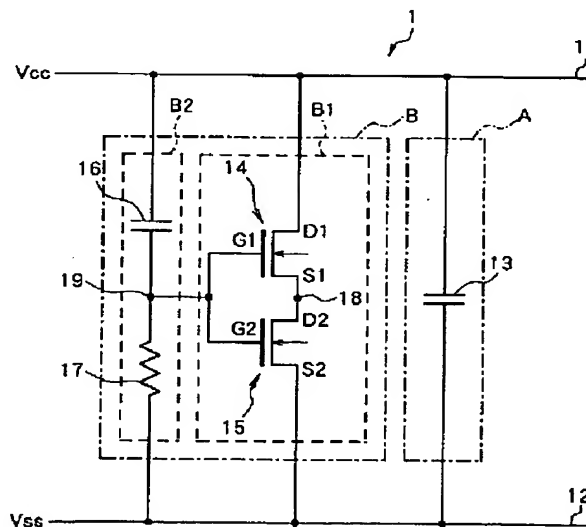
(74)代理人 弁理士 藤島 洋一郎

(54) 【発明の名称】 半導体集積回路の電源保護回路

(57) 【要約】

【目的】 半導体集積回路の電源端子の静電気耐性を改善させる。

【構成】 電源保護回路1は、電源電圧ライン11と基準電圧ライン（接地電圧ライン）12との間に直接接続された第1のキャパシタ13、電源電圧ライン11と基準電圧ライン12との間にカスケード接続されたnチャネルMOS型のトランジスタ14、15、および電源電圧ライン11と基準電圧ライン12との間に直列接続されたキャパシタ16と抵抗17（CR回路）を備える。電源電圧ライン11に静電気等の異常高周波電圧が印加されると、その一部はキャパシタ13を通して放電される。キャパシタ13により吸収されない高周波電圧は、キャパシタ16および抵抗17からなるターンオン電圧供給回路B2（CR回路）から供給されるターンオン電圧によってトランジスタ14、15がターンオンすることにより、トランジスタ14、トランジスタ15の各チャネルを通して基準電圧ライン12へ放電される。



1

【特許請求の範囲】

【請求項 1】 半導体集積回路における電源電圧ラインと基準電圧ラインとの間に接続され、前記電源電圧ラインに対し異常な高周波電圧が印加されたときに、その一部を前記基準電圧ラインへ放電させる第 1 の放電回路と、

同一導電型の一方の MOS トランジスタからなるスイッチング回路、および前記電源電圧ラインに対し異常な高周波電圧が印加されたときに前記一方の MOS トランジスタそれぞれのゲートに対してターンオン電圧を供給するターンオン電圧供給回路を有し、前記一方の MOS トランジスタを同時にターンオンさせて、異常な高周波電圧を前記一方の MOS トランジスタを介して基準電圧ラインへ放電させる第 2 の放電回路とを備えたことを特徴とする半導体集積回路の電源保護回路。

【請求項 2】 前記第 1 の放電回路が、半導体集積回路における電源電圧ラインと基準電圧ラインとの間に接続された第 1 のキャパシタからなり、前記第 2 の放電回路が、ドレインが電源電圧ラインに接続された一方導電型の第 1 の MOS トランジスタと、ドレインが前記第 1 の MOS トランジスタのソースに接続されると共に、ソースが基準電圧ラインに接続され、かつゲートが前記第 1 の MOS トランジスタのゲートに接続された前記第 1 の MOS トランジスタと同一導電型の第 2 の MOS トランジスタと、前記第 1 の MOS トランジスタおよび第 2 の MOS トランジスタの相互接続されたゲートと電源電圧ラインとの間に接続された第 2 のキャパシタと、前記第 1 の MOS トランジスタおよび第 2 の MOS トランジスタの相互接続されたゲートと基準電圧ラインとの間に接続され、前記第 2 のキャパシタと共に CR 回路を構成する抵抗とからなることを特徴とする請求項 1 記載の半導体集積回路の電源保護回路。

【請求項 3】 前記第 2 のキャパシタおよび抵抗により構成される CR 回路の時定数が 15 ナノ秒から 1 マイクロ秒の間にあることを特徴とする請求項 2 記載の半導体集積回路の電源保護回路。

【請求項 4】 前記第 1 の MOS トランジスタおよび第 2 の MOS トランジスタそれぞれは、ドレインを構成する不純物拡散層およびゲート電極は、共にチャネルの幅方向に長矩形の形状を有し、相互に平行に配置されたことを特徴とする請求項 2 記載の半導体集積回路の電源保護回路。

【請求項 5】 電源電圧ラインとなる電源配線層と、基準電圧ラインとなる基準配線層とを有し、前記第 1 の MOS トランジスタのドレインを構成する不純物拡散層を前記電源配線層で覆うと共に、この不純物拡散層と電源配線層との間にコンタクトを形成し、かつ、前記第 2 の MOS トランジスタのソースを構成する不純物拡散層を前記基準配線層で覆うと共に、この不純物拡散層と基準配線層との間にコンタクトを形成したこ

2

とを特徴とする請求項 4 記載の半導体集積回路の電源保護回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、外部より半導体集積回路の電源端子に印加される静電気などの異常な高周波電圧から集積回路内部を保護するための半導体集積回路の電源保護回路に係り、特に MOS (Metal Oxide Semiconductor) 型トランジスタにより構成される集積回路を保護するための電源保護回路に関する。

【0002】

【従来の技術】 従来、半導体集積回路の内部回路を静電気などの異常な高周波電圧から保護する方法としては、電源電圧ライン (V_{CC}) と基準電圧ライン (接地ライン) (V_{SS}) との間にキャパシタを挿入配置し、これによって外部 (例えば人体等) から電源電圧ラインに印加された高周波電圧を吸収する方法が用いられていた。

【0003】 しかしながら、通常、電源電圧ライン (V_{CC}) および基準電圧ライン (接地ライン) (V_{SS}) とキャパシタとの間にはアルミニウム等の配線で接続されており、これらの配線によるインダクタンス成分やキャパシタの電極の抵抗成分が存在する。このため、上記キャパシタにより高周波電圧を吸収する方法では、高周波電圧を十分に吸収できず、比較的低い静電気電圧が印加された場合であっても、内部回路の各部の接合 (pn 接合) が破壊されるおそれがあった。

【0004】 このようなことから、従来、他の方法として、スレッショールド電圧の高い MOS トランジスタからなるダイオードを電源電圧ライン (V_{CC}) と基準電圧ライン (接地ライン) (V_{SS}) との間に挿入接続する方法や、フィールド酸化膜によって素子間分離を行ういわゆる LOCOS 分離法 (選択酸化法) を用いて寄生トランジスタを形成し、これにより集積回路内部を静電気から保護する方法 (特開平 4-68575 号公報)、さらに、抵抗と n チャネル MISFET との直列回路を電源電圧ライン (V_{CC}) - 基準電圧ライン (V_{SS}) 間に挿入する方法 (特開昭 63-45850 号公報) などが用いられている。

【0005】

【発明が解決しようとする課題】 上述のように従来、種々の方法が用いられているが、それぞれ次のような問題点があった。すなわち、スレッショールド電圧の高い MOS トランジスタからなるダイオードを用いる方法では、特に内部集積回路において素子間分離を MOS 構造のフィールドシールド分離法を用いた場合には、ダイオード挿入工程を新たに追加する必要があり、工程数が増加するという問題点があった。

【0006】 また、LOCOS 分離法を用いて寄生トランジスタを形成する方法 (特開平 4-68575 号公報) は、寄生トランジスタのしきい値が通常 1.5 V 以上

10

20

30

40

50

の場合のみに有効であり、寄生トランジスタのしきい値が2〜10Vになると利用することができないという問題点があった。また、この方法は、内部集積回路の素子分離をMOS構造のフィールドシールド分離によって行う場合にのみ有効であり、他のpn接合などの分離方法を用いた集積回路には適用できないという問題点があった。

【0007】さらに、抵抗とnチャネルMISFETとの直列回路を用いた方法（特開昭63-45850号公報）では、異常高周波電圧が印加された時のみならず、通常動作時においても保護回路に常に一定の電流が流れるため、通常動作時の消費電力が大きくなってしまいう問題点があった。

【0008】本発明はかかる問題点に鑑みてなされたもので、その目的は、MOS構造の半導体集積回路では特別の工程を追加することなく製造できると共に、内部保護回路の素子分離の方法の如何に係わらず適用でき、かつ通常動作時における消費電力の増加を防止することができる、静電気耐性の改善された半導体集積回路の電源保護回路を提供することにある。

【0009】

【課題を解決するための手段および作用】請求項1記載の半導体集積回路の電源保護回路は、半導体集積回路における電源電圧ラインと基準電圧ラインとの間に接続され、前記電源電圧ラインに対し異常な高周波電圧が印加されたときに、その一部を前記基準電圧ラインへ放電させる第1の放電回路と、同一導電型の一方のMOSトランジスタからなるスイッチング回路、および前記電源電圧ラインに対し異常高周波電圧が印加されたときに前記一方のMOSトランジスタそれぞれのゲートに対してター

ンオン電圧を供給するターンオン電圧供給回路を有し、前記一方のMOSトランジスタを同時にターンオンさせて、異常高周波電圧を前記一方のMOSトランジスタを介して基準電圧ラインへ放電させる第2の放電回路とを備えている。

【0010】また、請求項2記載の半導体集積回路の電源保護回路は、請求項1記載の電源保護回路において、前記第1の放電回路が、半導体集積回路における電源電圧ラインと基準電圧ラインとの間に接続された第1のキャパシタからなり、前記第2の放電回路が、ドレインが電源電圧ラインに接続された一方導電型の第1のMOSトランジスタと、ドレインが前記第1のMOSトランジスタのソースに接続されると共に、ソースが基準電圧ラインに接続され、かつゲートが前記第1のMOSトランジスタのゲートに接続された前記第1のMOSトランジスタと同一導電型の第2のMOSトランジスタと、前記第1のMOSトランジスタおよび第2のMOSトランジスタの相互接続されたゲートと電源電圧ラインとの間に接続された第2のキャパシタと、前記第1のMOSトランジスタおよび第2のMOSトランジスタの相互接続さ

れたゲートと基準電圧ラインとの間に接続され、前記第2のキャパシタと共にCR回路を構成する抵抗とからなるように構成したものである。

【0011】これらの電源保護回路では、電源電圧ラインに静電気等の異常な高周波電圧が印加されると、その一部が第1の放電回路（第1のキャパシタ）を介して放電されると共に、第2の放電回路において、ターンオン電圧供給回路より高周波電圧に応じてターンオン電圧が供給され、これにより第1のMOSトランジスタおよび第2のMOSトランジスタが瞬時にターンオンすることによって、これらのトランジスタのチャネルを経由して高周波電圧が基準電圧ライン（接地ライン）へ放電される。このため第1の放電回路（第1のキャパシタ）のみでは十分に吸収しきれない電気量をも確実に放電させることができる。

【0012】請求項3記載の半導体集積回路の電源保護回路は、請求項2記載の電源保護回路において、前記第2のキャパシタおよび抵抗により構成されるCR回路の時定数を、15ナノ秒から1マイクロ秒の間に設定するように構成したものである。

【0013】この電源保護回路では、CR回路の時定数が上記値に設定されているため、第1のMOSトランジスタおよび第2のMOSトランジスタは、通常考えられる大きさの静電気等の異常高周波電圧が印加されたときにのみターンオンし、集積回路への電源投入時や通常の動作時においてはターンオンしない。このため電源電圧ラインに印加された高周波電圧は確実に基準電圧ライン（接地ライン）に放電される一方、電源電圧ラインが正常な電圧レベルの場合には集積回路本来の動作が確保される。

【0014】請求項4記載の半導体集積回路の電源保護回路は、請求項3記載の電源保護回路において、前記第1のMOSトランジスタおよび第2のMOSトランジスタそれぞれのソース、ドレインを構成する不純物拡散層およびゲート電極が、共にチャネルの幅方向に長矩形の形状を有し、相互に平行に配置されるように構成したものである。

【0015】請求項5記載の半導体集積回路の電源保護回路は、請求項4記載の電源保護回路において、さらに、電源電圧ラインとなる電源配線層と、基準電圧ラインとなる基準配線層とを有し、前記第1のMOSトランジスタのドレインを構成する不純物拡散層を前記電源配線層で覆うと共に、この不純物拡散層と電源配線層との間にコンタクトを形成し、かつ、前記第2のMOSトランジスタのソースを構成する不純物拡散層を前記基準配線層で覆うと共に、この不純物拡散層と基準配線層との間にコンタクトを形成するように構成したものである。

【0016】

【実施例】以下、本発明の実施例について図面を参照して詳細に説明する。

【0017】図1は本発明の一実施例に係る半導体集積回路の電源保護回路の構成を表すものである。この電源保護回路1は、電源電圧ライン(Vcc)11と基準電圧ライン(Vss)12との間に設けられた第1の放電回路Aと第2の放電回路Bとにより構成されている。電源電圧ライン11の電圧レベルは半導体集積回路の動作電圧(例えば5V)に設定されている。一方、基準電圧ライン12の電圧レベルは同回路の接地電圧(0V)に設定されている。

【0018】第1の放電回路Aは、電源電圧ライン11と基準電圧ライン12との間に直接接続された第1のキャパシタとしてのキャパシタ13により構成されており、電源電圧ライン(Vcc)11に対し異常な高周波電圧が印加されたときに、その一部をキャパシタ13を介して基準電圧ライン12へ放電させるようになっている。

【0019】第2の放電回路Bは、電源電圧ライン11と基準電圧ライン12との間にカスケード接続された第1のMOSトランジスタとしてのnチャネル型のトランジスタ14および第2のMOSトランジスタとしてのnチャネル型のトランジスタ15からなるスイッチング回路B1と、電源電圧ライン11と基準電圧ライン12との間に直列接続された第2のキャパシタとしてのキャパシタ16および抵抗17からなり、異常高周波電圧が印加された時にスイッチング回路B1のトランジスタ14、15の各ゲートに対してターンオン電圧を供給するためのターンオン電圧供給回路(CR回路)B2とにより構成されている。なお、トランジスタ14、15は互いに同じ大きさに設定されている。

【0020】スイッチング回路B1を構成するトランジスタ14のドレインD1は電源電圧ライン11に接続され、そのソースS1はノード18を介してトランジスタ15のドレインD2に接続されている。トランジスタ15のソースS2は基準電圧ライン12に接続されている。トランジスタ14のゲートG1およびトランジスタ15のゲートG2は共に、CR回路B2を構成するキャパシタ16と抵抗17との間のノード19に接続されている。スイッチング回路B1は、正常時には作動せず(すなわちトランジスタ14、15は共にオフ状態)、異常な高周波電圧が印加されたときにターンオン電圧供給回路(CR回路)B2から供給されるターンオン電圧で作動して、トランジスタ14、15が同時にターンオンし、異常高周波電圧をトランジスタ14、15の各チャネル領域を介して基準電圧ライン12へ放電させるようになっている。

【0021】次に、以上のような構成の電源保護回路の動作を説明する。

【0022】まず、電源電圧ライン11に静電気等の異常高周波電圧が印加されると、その一部は第1の放電回路A(キャパシタ13)を通して基準電圧ライン12へ

と放電される。ここで、静電気のパルス幅は通常150nsec以下であり、最大でも1μsec程度である。一方、トランジスタ14のゲートG1およびトランジスタ15のゲートG2は、上記パルス幅以下の高電圧が印加された時に、ターンオン電圧供給回路B2(キャパシタ16および抵抗17)から供給されるターンオン電圧によって瞬間的にハイレベルとなり、トランジスタ14およびトランジスタ15は同時にターンオンする。このため電源電圧ライン11に印加された異常高周波電圧はトランジスタ14、15の各チャネル領域を通して基準電圧ライン12へと放電される。これにより図示しない内部集積回路の接合部分(p-n接合)へ異常高周波電圧が印加される事態が阻止され、回路素子の破壊を防止することができる。

【0023】ところで、電気量の多い高周波電圧が到来した場合、トランジスタ14のドレインD1とトランジスタ15のソースS2の間には高電圧が印加されるが、これら2つのトランジスタ14、15がターンオンして高周波電圧の放電を開始すると、トランジスタ14のソースS1の電位は上昇し、トランジスタ14のドレインD1-ソースS1間に印加される電圧が低下すると同時に、トランジスタ15のドレインD2-ソースS2間に印加される電圧が低下する。すなわち、電源電圧ライン11と基準電圧ライン12との間に印加された高周波電圧が、ドレイン-ソースについてカスケード接続された2つのトランジスタ14、15によって分圧され、その結果トランジスタ14、15それぞれのドレイン-ソース間の印加電圧が低減される。このためトランジスタ14、15それぞれの破壊あるいは劣化を防止できる。

【0024】次に、キャパシタ13、16および抵抗17の適正值、並びにこれらの形成方法について考察する。

【0025】キャパシタ13の値は、100pF~10nF程度が好適である。このキャパシタ13は、ゲート電極とゲート酸化膜(SiO₂)とシリコン基板とからなるMOS構造で構成できるが、多結晶シリコン系材料またはアルミニウム(Al)を電極材料とし、誘電体としてシリコン酸化膜(SiO₂)、窒化膜(Si₃N₄)あるいはその積層構造等を用いた構造でも形成することができる。むしろ、電極抵抗を小さくできる点からは、後者の構成が好適である。

【0026】一方、キャパシタ16および抵抗17の各々値は、トランジスタ14、15がそれぞれ静電気等の異常高周波電圧が印加された時にのみターンオンし、集積回路への電源投入時や通常の動作時においてはターンオンしないように設定する必要がある。具体的には、以下のように設定する。

【0027】電源投入時の電源電圧V_{cc}の立ち上がり時間は、システムの回路構成にもよるが、通常は10~1

00 μ secである。従って、この程度の立ち上がり時間の電圧印加に対してはトランジスタ14、15がそれぞれターンオンすることがないようにするため、キャパシタ16および抵抗17で構成されるターンオン電圧供給回路B2 (CR回路)の時定数を1 μ sec以下に設定する。すなわち、時定数の上限は1 μ secとする必要がある。

【0028】一方、時定数の下限を設定するには、トランジスタ14およびトランジスタ15の入力容量と、これら2つのトランジスタ14、15をターンオンさせて電気量の多い静電気を確実に放電させるための放電時間との双方を考慮する必要がある。ここで、静電気を人体モデル (Mil規格) で考えると、100 pFの容量を1.5 k Ω の抵抗で放電させるためのCR回路の時定数は150 nsecである。このモデルと実際の静電気との関係は必ずしも明確ではないが、経験的には、この時定数より1桁少ない値、すなわち15 nsecとした場合に、キャパシタ13と、集積回路の構成上、電源電圧ライン11と基準電圧ライン12との間に挿入されている接合容量とによって、静電気が十分放電されることが確認されている。従ってCR回路の時定数の下限値は15 nsecとするのがよい。

【0029】なお、キャパシタ16もまた、キャパシタ13と同様の方法により形成できるが、電極抵抗を小さくできる点から、多結晶シリコン系材料またはアルミニウムを電極材料とし、誘電体としてシリコン酸化膜 (SiO_2)、窒化膜 (Si_3N_4) あるいはその積層構造等を用いた構造とすることが好ましい。

【0030】図2は図1の電源保護回路1の回路パターンを表したものであり、図3は図2のA-A'断面を表したものである。

【0031】これらの図に示すように、トランジスタ14のドレインD1およびソースS1はそれぞれ、P型半導体基板 (例えばシリコン基板) 20の主表面に形成されたn⁺拡散層21およびn⁺拡散層22で構成されている。また、トランジスタ15のドレインD2およびソースS2はそれぞれn⁺拡散層22およびn⁺拡散層23で構成されている。すなわち、n⁺拡散層22はトランジスタ14のソースS1とトランジスタ15のドレインD2とを兼ねている。

【0032】n⁺拡散層21~23はそれぞれ図2の長手方向 (すなわち各トランジスタ14、15のチャンネルの幅方向) に長い長矩形状 (直線状) の形状を有し、互いに平行に配置されている。n⁺拡散層21は、層間絶縁膜 (SiO_2) 24に形成されたコンタクトホール25を介して電源電圧ライン11 (図1) を構成する電源配線層26と接続されている。n⁺拡散層23は、同じく層間絶縁膜 (SiO_2) 24に形成されたコンタクトホール27を介して基準電圧ライン12 (図1) を構成する基準配線層28と接続されている。電源配線層26

および基準配線層28はそれぞれ例えばアルミニウム (A1) で形成されている。ここで、電極配線層26はn⁺拡散層21のほぼ真上にこれとほぼ平行に配置され、基準配線層28はn⁺拡散層23のほぼ真上にこれとほぼ平行に配置されている。

【0033】n⁺拡散層21とn⁺拡散層22との間の領域 (チャンネル領域) の上方には、ゲート酸化膜 (SiO_2) 29を介してトランジスタ14のゲート電極30が形成され、n⁺拡散層22とn⁺拡散層23との間のチャンネル領域の上方には、ゲート酸化膜31を介してトランジスタ15のゲート電極32が形成されている。2つのゲート電極30、32は、n⁺拡散層21~23と同様に、図2の長手方向 (すなわち各トランジスタ14、15のチャンネルの幅方向) に長い長矩形状 (直線状) の形状を有し、互いに平行に配置されている。これらゲート電極30、32は、共にコンタクトホール33を介して共通ゲート電極層34に接続されている。

【0034】トランジスタ14およびトランジスタ15それぞれの平面構造は、ゲート、ドレインおよびソースに曲げ (90度等) を入れたり楕円等とせず、上記のように直線状に形成するのが好ましい。これは、本実施例では静電気を瞬間的に放電させるためにトランジスタ14およびトランジスタ15として比較的大きなトランジスタが必要であるが、例えば楕円等の形状にしてトランジスタ14、15のチャンネル幅を幾何学的に大きくしても、分布抵抗によりチャンネルの実効幅は大きくならず、特に静電気等の高周波電圧が印加された場合には実効幅は大きくならないからである。

【0035】なお、キャパシタ13、16各々については、図示しないが、例えばゲート電極30と同一工程で別体の電極を形成し、これと電極配線層を接続して一方のキャパシタ電極とし、n⁺拡散層21~23を共通接続したものに基準配線層を結合して他方のキャパシタ電極を形成することにより製造できる。また、抵抗17についてもMOS構造で製造できることは周知であるので、その説明は省略する。

【0036】以上のように本実施例の電源保護回路によれば、第2の放電回路B2のトランジスタ14、15を同時にターンオンさせてこれらのトランジスタ14、15のチャンネルを経由して基準電圧ライン12から放電させるようにしたので、第1の放電回路 (キャパシタ13) B2のみでは十分に吸収しきれない電気量をも確実に放電させることができ、静電気耐性を向上させることができる。

【0037】また、トランジスタ14およびトランジスタ15はそれぞれ静電気等の異常高周波電圧が印加された時にのみターンオンし、内部集積回路への電源投入時や通常の動作時においてはターンオンしない。従って、電源電圧ライン11に静電気等の異常高周波電圧が印加された場合には、この異常電圧を確実に基準電圧ライン

9

12へ放電できる一方、電源電圧ライン11が正常な電圧レベルの場合には、この電圧を放電させることがなく、余分な電流が流れることがないので、正常時の消費電力を増加させることなく、集積回路本来の動作を確保することができる。

【0038】さらに、本実施例においては、第2の保護回路Bのスイッチング回路B1（トランジスタ14およびトランジスタ15）は、集積回路の内部回路にnチャネルMOSトランジスタが含まれる場合には、これらの内部MOSトランジスタの形成工程と同一工程で同時に形成することができる。従って集積回路の本来の製造工程と別個の工程を付加する必要がなくなり、そのため製造工程を簡略化することができる。また、本実施例では、従来方法のように、寄生MOSトランジスタを用いる必要がないので、内部集積回路の素子分離にフィールドシールド分離構造を用いた場合のみならず、他の分離方法を用いた集積回路にも適用できる。

【0039】また、トランジスタ14のドレインおよびトランジスタ15のソースとなるn⁺拡散層21、23をアルミニウムで形成された電源配線層26、基準配線層28でそれぞれ覆い、これら電源配線層26、基準配線層28とn⁺拡散層21およびn⁺拡散層23とのコンタクトを形成するようにしたので、トランジスタの拡散層の分布抵抗を低減し、ソース・ドレイン間の電界を均一にすることができる。

【0040】なお、上記実施例では、第2の放電回路B1を構成するMOSトランジスタとしてnチャネルのMOSトランジスタを用いて説明したが、pチャネルのMOSトランジスタを用いて構成することもできることは言うまでもない。

【0041】また、上記実施例では、第1の放電回路Aとして、キャパシタ13を電源電圧ライン11と基準電圧ライン12との間に挿入接続させる構成としたが、この第1の放電回路Aはその他の素子で構成してもよく、要は異常な高周波電圧が印加されたときに、その一部を

10

基準電圧ライン12へ放電させるものであれば良い。

【0042】

【発明の効果】以上説明したように請求項1ないし請求項5記載の半導体集積回路の電源保護回路によれば、電源電圧ラインに印加された静電気等の異常高周波電圧を、第1の放電回路を介して放電させると共に、一対のMOSトランジスタを同時にターンオンさせてこれらのMOSトランジスタのチャネルを経由して基準電圧ラインから放電させるようにしたので、第1の放電回路のみでは十分に吸収しきれない電気量をも確実に放電させることができ、静電気耐性が向上すると共に、正常時に消費電流が増加する事態も防止することができる。また、この電源保護回路は、MOSトランジスタにより構成される半導体集積回路の内部トランジスタの形成工程と同一工程で同時に形成することができるので、追加工程が不要となり、製造コストの増加を防止できるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施例に係る半導体集積回路の電源保護回路の構成を表す回路構成図である。

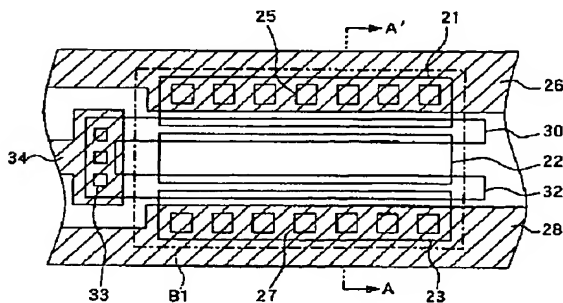
【図2】図1の電源保護回路の要部構成を表す素子平面図である。

【図3】図1のA-A'線に沿った素子断面構成図である。

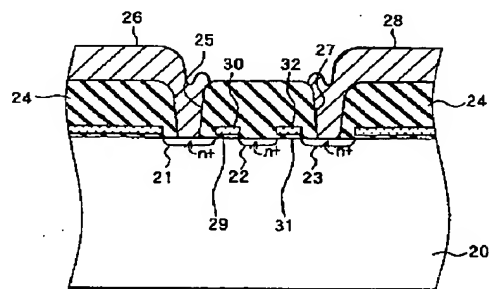
【符号の説明】

- 11 電源電圧ライン
- 12 基準電圧ライン（接地電圧ライン）
- 13 キャパシタ（第1のキャパシタ）
- 14 トランジスタ（第1のMOSトランジスタ）
- 15 トランジスタ（第2のMOSトランジスタ）
- 16 キャパシタ（第2のキャパシタ）
- 17 抵抗
- 21 n⁺拡散層（ドレイン）
- 22 n⁺拡散層（ソース、ドレイン）
- 23 n⁺拡散層（ソース）

【図2】



【図3】



【図1】

